

Об авторе

Клайв Максфилд (или просто «Макс») — сногшибательный красавец ростом 185 см, англичанин, чем он и гордится. Кроме того, что он герой и законодатель мод, в широких кругах общества он является признанным экспертом во всех сферах электроники (по крайней мере, по мнению его матери).

После получения степени бакалавра наук в области систем автоматического управления в 1980 году в политехническом университете г. Шеффилд, Англия (который сейчас называется Sheffield Hallam University), начал свою карьеру в должности разработчика центральных процессорных модулей для больших универсальных ЭВМ (мэйнфреймов). Не вдаваясь в подробности этой длинной истории, просто скажем, что сейчас Макс занимает пост президента компании TechBites Interactive (www.techbites.com). TechBites предоставляет услуги консультаций по маркетингу и специализируется на информировании «нетехнической» аудитории о достоинствах технической продукции и услугах посредством сайтов, рекламы, технической документации, брошюр, вспомогательных материалов, книг и мультимедиа.

В свободное время (Ха!) Макс работает соредактором и соиздателем электронного журнала «EPE Online» (www.epemag.com) для людей, увлеченных компьютерами и электроникой, а также редактором Интернет-сайта www.eedesign.com. Кроме того, что Макс является автором множества технических статей и докладов, которые появились в журналах по всему миру, он написал книги «Bebop to the Boolean Boogie» (An unconventional guide to electronics) и «Designus Maximus Unleashed» (Banned in Alabama), а также стал соавтором книги «Bebop of BYTES Back» (An unconventional guide to computers) и «EDA: Where Electronics Begins».

Если фигура нашего автора все еще не оказала на вас впечатления, то скажу большее: однажды один известный человек назвал Макса «выдающимся деятелем промышленности» и «экспертом в сфере проектирования полупроводниковых устройств», причем никто ни в коей мере не побуждал, не принуждал и не вознаграждал этого человека.

Словарь

- **ASIC (application specific integration circuit) — специализированная интегральная микросхема** (другое название — **заказная микросхема**), изготавливаемая по заказу интегральная микросхема, предназначенная для использования в специфичных приложениях. Такие устройства могут содержать сотни миллионов логических элементов и могут использоваться для реализации чрезвычайно больших и сложных функций. Подобны устройствам ASSP, за исключением того, что ASIC разрабатываются и изготавливаются для специализированных компаний.
- **ASSP (application specific standard parts) — специализированная стандартная микросхема**, изготавливаемая по заказу интегральная микросхема, предназначенная для использования в специфичных приложениях. Такие устройства могут содержать сотни миллионов логических элементов и могут использоваться для реализации чрезвычайно больших и сложных функций. Подобна специализированным заказным интегральным микросхемам (ASIC), за исключением того, что ASSP изготавливаются для массового потребителя.
- **BGA (ball grid array) — конструкция корпуса микросхемы, похожая на PGA (pad grid array)**, в котором внешние выводы устройства представляют собой токопроводящие площадки, расположенные в основании корпуса. Однако в BGA выводы представляют собой крошечные металлические шарики припоя, расположенные в виде сетки на его нижней поверхности.
- **BiCMOS (bipolar-CMOS или биполярная + КМОП-структура) — название технологии или устройств, реализованных на основе одноименной технологии, в которых логическая функция каждого логического элемента (логического вентиля) реализуется с помощью маломощных КМОП-транзисторов, а выходной каскад построен на мощном биполярном транзисторе.**
- **BIST (built-in self-test) — стратегия тестирования, которая подразумевает наличие дополнительной, встроенной в компонент логики, которая позволяет производить самотестирование устройства.**
- **CGA (column grid array) — технология изготовления корпусов, подобная PGA (pad grid array)**, в котором внешние контакты устройства сформированы в виде массива токопроводящих площадок, расположенных на корпусе. В CGA выводы оформлены в виде небольших столбцов припоя, находящегося на этих токопроводящих площадках.
- **CPLD (complex programmable logic device) — см. Сложное программируемое логическое устройство**
- **CRC (cyclic redundancy check — контроль циклическим избыточным кодом) — вычисления, используемые для обнаружения ошибок в процессе передачи данных, обычно выполняются с помощью линейного сдвигового регистра с обратной связью (LFSR).** Такие же вычисления могут быть использованы для других целей, например, для сжатия данных.
- **CSP (chip scale package — корпус сравнимый с размерами кристалла) — технология изготовления корпусов микросхем, при которой корпус лишь немного больше кристалла.**

- **DCM (digital clock manager — цифровой диспетчер синхронизации)** — некоторые блоки управления синхронизацией основаны на использовании *системы фазовой автоподстройки частоты*, другие используют системы *автоматической подстройки по задержке*. Термин «DCM» используется компанией Xilinx для обозначения специализированных систем, основанных на автоматической подстройке по задержке.
- **DSP (digital signal processing — цифровая обработка сигналов)** — область электроники, которая связана с представлением и обработкой сигналов в цифровой форме. Обработка включает в себя сжатие, распаковку, модуляцию, коррекцию ошибок, фильтрацию и другие манипуляции с аудио- (голос, музыка и т. д.) и видеоинформацией, изображениями и другими подобными данными для телекоммуникации/связи, локации и обработки изображений (в том числе и в медицине).
- **DSP (digital signal processor — цифровой сигнальный процессор или процессор обработки сигналов)** — специальный микропроцессор, который разработан для выполнения специфичных задач по обработке цифровых данных специального типа с более высокой скоростью и эффективностью, чем микропроцессоры общего назначения.
- **FET** — см. *Полевой транзистор*.
- **FIFO (first-in first-out — первым пришёл, первым вышел)** — специальное устройство (буфер) или функция памяти, данные с которого считываются в том порядке, в котором были в него записаны.
- **Flash-память** — технология энергонезависимой памяти, которая комбинирует в себе лучшие свойства технологий ЭСППЗУ и СППЗУ. Название *Flash (молния)* обозначает то, что время перепрограммирования у таких микросхем намного меньше, чем у СППЗУ.
- **FPGA (field programmable gate array — программируемая пользователем вентильная матрица)**, то же что ПЛИС (программируемая логическая интегральная схема) — тип цифровых интегральных микросхем, состоящих из конфигурируемых (программируемых) логических блоков и конфигурируемых внутренних соединений между этими блоками. Такая микросхема может быть сконфигурирована (запрограммирована) инженером-разработчиком для выполнения самых разнообразных задач.
- **FPIC (field programmable interconnect chip — программируемый пользователем кристалл внутренних соединений)**¹⁾ — альтернативное, патентованное название *Программируемых пользователем устройств внутренних соединений (FPID)*.
- **FPID (field programmable interconnect device — программируемое пользователем устройство внутренних соединений)** — устройство, используемое для соединения логических устройств на печатной плате. Может быть динамически перепрограммировано способом, аналогичным перепрограммированию микросхем FPGA (ПЛИС) на основе ячеек статического ОЗУ. Так как у каждого FPID-устройства может быть порядка 1000 выводов, то на печатной плате, как правило, требуется небольшое количество таких устройств.
- **FR4** — наиболее часто используемый изоляционный материал для печатных плат. FR4 изготавливается из волокон стекловолокна, которые склеиваются вместе эпоксидной смолой. Печатная плата затем подвергается температурной обработке при высоком давлении, вследствие чего её волокна плавятся и соединяются вместе, придавая плате прочность и жесткость. Первые две буквы в названии этого материала образованы от слов «flame retardant», что значит «огнезащитный состав», а вот людей, знающих, что обозначает цифра 4, можно пересчитать по пальцам одной руки. FR4 с технической точки зрения является подвидом оптоволокна, и некоторые люди иногда называют его *волоконно-оптической платой* или *волоконно-оптической подложкой*.
- **GAL (generic array logic — изменяемый массив логики)**²⁾ — патентованное название устройств PAL (programmable array logic — программируемый массив логики) компании Lattice Semiconductor Corporation.

¹⁾ FPIC является торговой маркой компании Aptix Corporation.

²⁾ GAL является торговой маркой компании Lattice Semiconductor Corporation.

- **HDL (hardware description language — язык описания аппаратных средств)** — современные цифровые микросхемы могут содержать сотни миллионов логических элементов (вентилей), которые просто невозможно описать на схемотехническом уровне (с помощью принципиальной схемы). Поэтому функциональность высокотехнологичных ИС теперь описывается в текстовой форме с помощью языков семейства HDL. Наиболее популярными языками являются Verilog, SystemVerilog, VHDL и SystemC.
- **HDL-синтез** — современное название логического синтеза. См. также *Логический синтез* и *Физический синтез*.
- **IP (intellectual property — интеллектуальная собственность)** — когда команда инженеров конструирует сложную микросхему, да бы не изобретать велосипед, они могут решить купить проект одного или нескольких функциональных блоков, которые уже были кем-то реализованы. Проект таких функциональных блоков и называется *интеллектуальной собственностью* или *IP*. Средства интеллектуальной собственности могут охватывать любые функциональные блоки, в том числе функции связи и микропроцессоры. Наиболее сложные функции, такие как микропроцессоры, могут называться ядрами. См. также *Аппаратные IP*, *Программные IP* и *Микропрограммные IP*.
- **JEDEC (Joint Electronic Device Engineering Council — Объединенный инженерный совет по электронным устройствам)** — организация, которая разрабатывает, утверждает, и отслеживает промышленные стандарты, касающиеся электронных устройств решает спорные вопросы связанные с этими стандартами. В применении к программируемой логике термин JEDEC обозначает текстовый файл, содержащий информацию, используемую для программирования устройства. Формат файла утверждён комитетом JEDEC в качестве стандарта и в общем случае называется JEDEC-файлом.
- **LFSR (linear feedback shift register — линейный сдвиговый регистр с обратной связью)** — сдвиговый регистр, на вход которого подаётся результат работы функции ИСКЛЮЧАЮЩЕЕ ИЛИ либо ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ, аргументами которой служат два или более элементов в регистровой цепочке.
- **MOSFET** — см. *канальный полевой униполярный МОП-транзистор*.
- **NMOS (N-channel MOS)** — МОП-структура с каналом *n*-типа.
- **NPN** — тип биполярного транзистора, который представляет собой *n-p-n*-структуру.
- ***n*-тип** — фрагмент полупроводника с соответствующими примесями, которые вызывают его работать в качестве донора электронов.
- **OVA (OpenVera Assertion)** — язык формальной проверки, который специально разработан для максимально эффективного описания свойств и утверждений. OVA обладает большими возможностями для создания сложных регулярных и временных выражений, позволяющих описывать сложные поведенческие аспекты несколькими строками исходного кода. Этот язык подарен комитету SystemVerilog компании Accellera (www.accellera.org) и основан на языке Sugar компании IBM.
- **OVL (Open Verification Library — открытая библиотека средств проверки)** — библиотека моделей свойств и утверждений для языков VHDL и Verilog 2K1, управление которой производится под покровительством компании Accellera (www.accellera.org).
- **PAL (programmable array logic — программируемая матричная логика)**¹⁾ — программируемое логическое устройство, в котором массив элементов И является программируемым, а массив элементов ИЛИ — нет.
- **PGA** — 1) **pad grid array** — технология изготовления корпусов микросхем, в которых внешние контакты представляют собой матрицу токопроводящих площадок, расположенных на основании корпуса. 2) **Pin grid array** — технология изготовления корпусов микросхем, в которых внешние контакты представляют собой матрицу контактов или выводов, расположенных на основании корпуса.

¹⁾ PAL является зарегистрированной торговой маркой компании Monolithic Memories.

- **PLA (programmable logic array — программируемая логическая матрица, ПЛМ)** — программируемые логические устройства, в которых оба массива функций И и ИЛИ являются программируемыми. См. также *PAL, ПЛУ, ППЗУ*.
- **PLD (programmable logic device)** — см. *ПЛУ*.
- **PMOS (P-channel MOS)** — МОП-структура с каналом *p*-типа.
- **PNP** — тип биполярного транзистора, который представляет собой *p-n-p*-структуру.
- **PSL (property-specification language — язык описания свойств)** — язык формальной проверки, который разрабатывался специально для максимально эффективного описания утверждений и свойств. PSL отличается широкими возможностями для создания сложных регулярных и временных выражений, и позволяет описывать сложные поведенческие аспекты с помощью нескольких строк кода. Этот язык представляет собой промышленный стандарт, контролируемый компанией Accellera (www.accellera.org), основан на языке Sugar компании IBM.
- ***p*-тип** — фрагмент полупроводника с соответствующими примесями, которые вынуждают его работать в качестве акцептора электронов.
- **QFP (quad flat pack)** — наиболее часто используемый тип корпуса в виде тонкого квадрата, выводы в котором расположены со всех четырёх сторон.
- **RTL** — см. *Уровень Регистровых Передач*.
- **RWM (read-write memory — память типа чтение-запись)** — альтернативное (и, возможно, более подходящее) название *оперативного запоминающего устройства (ОЗУ)*.
- **SVA (SystemVerilog Assertions)** — оригинальная версия языка Verilog не поддерживает утверждения, но после доработок SystemVerilog начал понимать эти структуры. В 2002 году Synopsys подарила свою утилиту OpenVera Assertions (OVA) компании Accellera, ответственной за SystemVerilog. В результате работы по объединению этих продуктов получился *SystemVerilog Assertions* или *SVA*.
- **SystemVerilog — язык описания аппаратных средств (HDL)**, который во время написания этой книги являлся открытым стандартом, поддерживаемый компанией Accellera (www.accellera.com).
- **UDL/I** — среди популярных языков описания аппаратных средств Verilog изначально создавался для решения задач моделирования, в то время как VHDL создавался как язык описания, где также принималась в расчет необходимость моделирования. В результате оба этих языка можно было использовать для описания и последующего моделирования систем, но они не были предназначены для синтеза. Для того чтобы решить эту проблему, Японская ассоциация развития электронной промышленности (или JEIDA — Japan Electronic Industry Development Association) в 1990-м году представила свою собственную версию языка HDL под названием *UDL/I (Unified Design Language for Integrated Circuit — унифицированный язык разработки интегральных микросхем)*. Главным преимуществом этого языка являлось то, что он изначально создавался как для обеспечения моделирования, так и для обеспечения синтеза. Окружение UDL/I включало в себя системы моделирования и синтеза, к тому же он распространялся бесплатно (в том числе и с исходными кодами). Однако, когда UDL/I вышел в свет, языки Verilog и VHDL уже стали настолько популярными, что UDL/I не вызвал особого интереса у инженеров за пределами Японии.
- **Verilog** — язык описания аппаратных средств (HDL), который изначально находился в частной собственности, но затем перерос в открытый стандарт под покровительством IEEE (*The Institute of Electrical and Electronics Engineers, Inc.* — Институт инженеров по электротехнике и радиоэлектронике).
- **VHDL** — язык описания аппаратных средств (HDL), который вышел из стен Министерства обороны США и был преобразован в открытый стандарт.
- **VITAL** — язык VHDL обладает большими возможностями моделирования цифровых схем, описанных на высоком уровне абстракции, но не отличается достаточной временной точностью для использования его в качестве конечного средства моделиро-

вания. По этой причине в 1992 году на конференции по САПР электронных систем была представлена *VHDL-библиотека начального уровня для заказных микросхем (ASIC)* или *VITAL (VHDL Initiative toward ASIC Libraries)*. Библиотека VITAL являлась попыткой повышения возможностей языка VHDL для применения его в системах временного моделирования при разработке ПЛИС и заказных микросхем. В итоге в неё вошла библиотека простых функций, используемых в ПЛИС и заказных микросхемах, и метод обратной корректировки информации о задержке в этих библиотеках моделей.

- **АВМ (адаптивная вычислительная машина — adaptive computing machine, ACM)** — новая революционная форма цифровых интегральных микросхем (ИС), характеризующаяся крупномодульной архитектурой и состоящая из узлов, которые могут быть реконфигурируемы (адаптированы) сотни тысяч раз в секунду.
- **Адаптивная вычислительная машина** — см. *АВМ*.
- **Анализ покрытия на уровне реализации (Implementation-based verification coverage)** — это мероприятия по проверке микроархитектурных особенностей готовой реализации. Подразумевают под собой ряд решений, которые встраиваются в RTL-описание устройства для наблюдения за его тупиковыми состояниями, например, это может касаться глубины буфера FIFO и тупиковые ситуации, связанных с его опустошением и полным заполнением. Такие детали реализации редко удаётся проследить на уровне спецификации. См. также *Макроархитектурные определения, Микроархитектурные определения, Анализ покрытия на уровне спецификации*.
- **Анализ покрытия на уровне спецификации (Specification-based verification coverage)** — это мероприятия по проверке высокоуровневых функционалов и макроархитектурных определений. Включают в себя анализ средств ввода/вывода, типов используемых транзакций (в том числе взаимодействие между собой транзакций различных типов), а также преобразования данных. См. также *Макроархитектурные определения, Микроархитектурные определения и Анализ покрытия на уровне реализации*.
- **Аналоговая схема** — набор компонентов, используемых для обработки или создания аналоговых сигналов.
- **Аналоговый** — непрерывно изменяющаяся величина, которая наиболее точно описывает протекающий в реальном мире процесс с точностью, определяемой средствами измерений.
- **Аналого-цифровое преобразование** — см. *АЦП*.
- **Аппаратное ядро** — в цифровой электронике термин «аппаратное ядро» обычно используется для обозначения относительно больших логических функций общего назначения, которые могут использоваться в качестве составных частей больших устройств. Например, если заказная микросхема содержит встроенный микропроцессор, то можно сказать, что микросхема содержит «микропроцессорное ядро». В эту категорию также можно отнести ядра микроконтроллеров, *цифровых сигнальных процессоров — ЦСП (DSP — digital signal processor)*, коммуникационных функций и так далее. Такие ядра могут разрабатываться своими силами, но обычно они покупаются у сторонних разработчиков блоков интеллектуальной собственности (IP). Существует небольшая разница между аппаратными ядрами для заказных схем (ASIC) и для ПЛИС (FPGA). В заказных микросхемах аппаратное ядро представляет собой совокупность логических вентилей с заранее определённым их физическим положением (относительно друг друга) и внутренними соединениями (жестко-определёнными проводниками). Это ядро может рассматриваться программой размещения и разводки как «чёрный ящик», то есть расположение самого ядра определяется программой размещения и разводки, а его внутренние соединения изменению не подлежат. Результаты работы программы размещения и разводки затем используются для создания фотошаблона, по которому изготавливается микросхема. В отличие от заказных микросхем, в ПЛИС все аппаратные ядра уже физически реализованы в качестве встроенных в структуру аппаратных блоков. В общем случае одна микросхема

может содержать несколько аппаратных ядер, совместно с программными ядрами и другими пользовательскими блоками. См. также *Программное ядро*.

- **Аппаратные блоки интеллектуальной собственности (аппаратные IP)** — в ПЛИС термин *аппаратные IP* обозначает предварительно реализованные блоки, такие как микропроцессорные ядра, гигабитные интерфейсы, умножители, сумматоры, функции умножения с накоплением и им подобные. Эти блоки разрабатываются так, чтобы они были максимально эффективны и с точки зрения потребляемой мощности, и с точки зрения производительности, и с точки зрения площади, занимаемой на кристалле. Каждое семейство ПЛИС характеризуется различной комбинацией таких блоков вместе с различным количеством программируемых логических блоков. См. также *Программные IP* и *Микропрограммные IP*.
- **Аппаратный** — в общем случае этот термин обозначает любую физическую часть электронной системы, в том числе компоненты, печатные платы, источники питания, корпуса и мониторы.
- **Асинхронный** — сигнал, данные которого квитируются или действуют незамедлительно, независимо от сигналов синхронизации.
- **АЦП (аналого-цифровое преобразование)** — процесс преобразования аналоговых значений в их цифровые эквиваленты.
- **Базисная ячейка** — предварительно определённая группа несоединённых транзисторов и резисторов. Эта группа клонируется по всей поверхности массива вентилях в заказных микросхемах (AISC).
- **Байт** — группа из восьми двоичных цифр или бит.
- **Библиотека схемных элементов** — общее название набора логических функций, определённых производителем *заказных микросхем (AISC)*. В процессе проектирования разработчики выбирают из библиотеки необходимые функции и соединяют их вместе, тем самым, реализуется необходимая функциональность устройства.
- **Бибоп** — музыкальный джазовый стиль, возник в 1940-х годах, характеризуется непривычным для многих любителей традиционного джаза усложнением гармонии и ритма.
- **Биполярный плоскостной транзистор** — семейство транзисторов.
- **Бит** — двоичное число, которое может принимать одно из двух значений: 0 или 1.
- **Блок логических массивов (logical array block — LAB)** — термин компании Altera для программируемых логических блоков, содержащих несколько *логических элементов*.
- **Булева алгебра** — математический способ представления логических выражений.
- **Вентильная матрица** — *заказная специализированная микросхема (ASIC)*, которая представляет собой массив изготовленных заводским способом несоединённых между собой компонентов (транзисторов и резисторов), организованных в группы, называемые *базисными ячейками (элементами)*. Разработчик описывает функции устройства терминами базисных элементов из соответствующей библиотеки, реализуя их соединение между собой, после чего производитель микросхем по этим соединениям генерирует маску, используемую для создания слоёв металлизации.
- **Вентильная матрица канальная** — *заказная микросхема (ASIC)*, организованная в виде массивов (матриц) базисных ячеек. Свободное пространство между массивами базисных ячеек называется каналами.
- **Вентильная матрица бесканальная** — *заказная микросхема (ASIC)*, организованная в виде единого массива базисных ячеек.
- **Верификация модели** — см. *Формальная верификация*.
- **Внутрисхемно программируемый (In-system programmable, ISP)** — устройство на основе ячеек статического ОЗУ, flash или другое, аналогичное, которое может быть перепрограммировано, оставаясь на печатной плате.

- **Внутрисистемно перепрограммируемый (In-circuit reconfigurable, ICR)** — устройство на ячейках статического ОЗУ или ему подобное, которое может быть динамически перепрограммировано на лету, оставаясь в составе системы.
- **Восприимчивый к уровню (level sensitive)** — так говорится о входе логической функции. При этом значение функции зависит от текущего состояния (уровня сигнала) на её входах и не зависит от процесса перехода входных значений с одного логического уровня на другой.
- **Восприимчивый к фронту (спаду) (edge sensitive)** — так говорится о входе логической функции. При этом функция воспринимает входную информацию только в момент перехода входных параметров из одного логического состояния в другое.
- **Время пролета (time of flight)** — время распространения сигнала от одного логического вентиля (интегральной схемы, оптоэлектронного компонента) до другого.
- **Встроенное ПО** — термин относится к программам или последовательности инструкций, которые загружены в энергонезависимую память устройства.
- **Высокоимпедансное состояние** — состояние, связанное с сигналом, который в текущий момент времени ни к чему не подключен. Высокоимпедансное состояние обычно обозначается символом «Z».
- **Проектные нормы** — термин относится к размеру структур, из которых состоит интегральная микросхема. В качестве таких структур обычно рассматриваются ширина проводников и длина транзисторных каналов. Размеры других элементов обычно выражаются в отношении к этим структурам.
- **Герц** — см. Гц.
- **Гига** — приставка (обозначается символом «Г»), которая предназначена для обозначения одного миллиарда или 10^9 . Например, 3 ГГц представляет собой 3×10^9 Гц.
- **Глубокий субмикрон** — обычно этот термин относится к интегральным микросхемам, содержащим структуры, размер которых меньше, чем 0.5 микрон (половина одной миллионной доли метра).
- **Гц (Герц)** — единица измерения частоты. Один Герц обозначает одно колебание в секунду.
- **Двоичная (бинарная) логика** — цифровые логические вентили, выделяющие два определённых уровня напряжений. Два напряжения используются для представления двоичных значений 0 и 1 и их логических эквивалентов *Истина* и *Ложь*.
- **Двоичное кодирование** — форма задания состояний конечного автомата, требующая минимального числа переменных состояния.
- **Двоичное число** — число в двоичной системе счисления; двоичное число (которое обычно называют *бит*) может принимать одно из двух значений: 0 или 1.
- **Дерево синхронизации** — это понятие относится к способу распространения синхросигналов по кристаллу. Название «дерево синхронизации» произошло оттого, что синхросигнал разветвляется по мере его прохождения по кристаллу (при этом триггеры и другие элементы можно рассматривать как листья, находящиеся на краях ветвей). Эта структура используется для одновременной, насколько это возможно, доставки синхросигналов ко всем триггерам и прочим потребителям.
- **Диаграмма состояний** — графическое представление конечного автомата.
- **Динамическая формальная верификация** — некоторые части устройства оказываются довольно тяжело проверить посредством моделирования, так как они находятся глубоко в структуре устройства и ими довольно сложно управлять с помощью внешних входов. Для решения этой проблемы в среде проверки используют моделирование для достижения тупиковой ситуации, затем моделирование автоматически приостанавливается и вызывается механизм статической формальной верификации для основательного тестирования этой тупиковой ситуации. Комбинация средств моделирования и традиционной статической формальной верификации называется

динамической формальной верификацией. См. также *Тупиковая ситуация, Формальная верификация, Статическая формальная верификация*.

- **Диод** — двухконтактное устройство, которое пропускает электричество только в одном направлении; для тока, протекающего в другом направлении, его действия аналогичны разомкнутому ключу. В наши дни термин диод почти всегда относится к полупроводниковым приборам, хотя он также может изготавливаться в виде вакуумной лампы.
- **Дискретизация** — часть процесса, в ходе которого аналоговый сигнал преобразуется в последовательность цифровых значений. Дискретизация относится к выборке значений аналогового сигнала в определённые моменты времени.
- **Дискретное устройство** — этот термин обычно относится к электронным компонентам, таким как резисторы, конденсаторы, диоды или транзисторы, которые представлены в индивидуальном корпусе. Реже этот термин используется для обозначения простых интегральных микросхем, содержащих небольшое количество простейших логических вентилей.
- **Дорожка** — см. *Проводник*.
- **Единовременные затраты на проектирование (nonrecurring engineering, NRE)** — в контексте рассматриваемого материала этот термин обозначает неповторяющиеся (разовые) расходы на проектирование и внедрение в производство заказных микросхем (ASIC и ASSP) и ПЛИС.
- **Ёмкость** — количественная характеристика способности двух расположенных рядом проводников, разделённых изолятором, накапливать заряды, когда к этим проводникам приложена разность напряжений. Ёмкость измеряется в Фарадах.
- **Закон Мура** — в 1965 году Гордон Мур (Gordon Moore), который в 1968 году стал соучредителем Intel Corporation, заметил, что новое поколение устройств памяти появляется примерно каждые 18 месяцев, и это новое поколение содержит примерно в два раза больше памяти, чем у его предшественника. Это наблюдение впоследствии было названо *Законом Мура* и стало широко применяться в микроэлектронике и информатике.
- **Импеданс** — сопротивление протекающему току, вызванное резистивностью, ёмкостью и/или индуктивностью устройств (или паразитных элементов) схемы.
- **Индуктивность** — свойство проводника, которое позволяет ему аккумулировать энергию в магнитном поле, вызываемом протекающим через него током. Единица измерения — *Генри*.
- **Интегральная схема** — см. *ИС*.
- **Интеллектуальная собственность** — см. *IP*.
- **Интерфейс языка программирования (PLI)** — язык Verilog и система моделирования Verilog-XL снабжались весьма полезным компонентом, который назывался интерфейсом языка программирования или PLI (programming-language interface). В общем случае такие компоненты называются *API (application programming interface — интерфейс прикладного программирования)*. API представляет собой библиотеку программных функций, которые позволяют внешним программам передавать данные в приложение и получать от него результаты работы. Таким образом Verilog PLI позволял пользователям расширять возможности языка программирования и системы моделирования.
- **ИС (интегральная схема (микросхема))** — устройство, состоящее из компонентов, таких как резисторы, диоды, транзисторы, расположенных на одном кристалле полупроводникового материала.
- **Канал** — 1) область между двумя базисными ячейками в канальной вентильной матрице. 2) Зазор между истоком и стоком полевого транзистора с КМОП-структурой.
- **Канальный полевой униполярный МОП-транзистор** (или MOSFET — metal-oxide-semiconductor field-effect transistor) — семейство транзисторов.

- **Квантование** — 1) часть процесса, в ходе которого аналоговый сигнал преобразуется в последовательность цифровых значений. Сначала аналоговый сигнал через определённый промежуток времени подвергается дискретизации. Затем каждый отсчёт заменяется отдельным фиксированным цифровым значением или квантом. 2) Процесс преобразования числа с плавающей точкой в его эквивалент с фиксированной точкой.
- **Керамика** — неорганический, неметаллический материал, такой как глинозём, оксид бериллия, стеатит или форстерит, который обжигается при высоких температурах и часто используют в электронике при изготовлении подложек или корпусов электронных компонентов.
- **Кило** — приставка (обозначается символом «к»), которая предназначена для обозначения одной тысячи или 10^3 . Например, 3 кГц представляет собой 3×10^3 Гц.
- **КЛБ (конфигурируемый логический блок)** — термин компании Xilinx, который находится на уровень выше, чем секция. В некоторых устройствах этой компании каждый конфигурируемый логический блок включает в себя по 2 секции, а некоторые — по 4.
- **КМОП (комплементарный металло-оксидный полупроводник)** — логический вентиль, состоящий из пары комплементарных МОП-транзисторов соответственно *n*- и *p*-типов.
- **Код Грэя** — последовательность двоичных значений, в которых каждая пара расположенных рядом чисел отличается от соседней только одним битом, например: 00, 01, 11, 10.
- **Комбинаторная логика** — см. *Комбинационная логика*.
- **Комбинационная логика** — цифровая логическая функция, состоящая из набора простых логических элементов (вентилей) (И, ИЛИ, И-НЕ, ИЛИ-НЕ и др.), в которой каждое выходное значение напрямую зависит от комбинации входных значений. Другими словами, любое изменение сигналов на входе тут же спровоцирует распространение сигнала через элементы функции и формирование нового выходного значения. Эту логику также иногда называют *комбинаторной логикой*.
- **Комплементарный выход** — этот термин относится к функции с двумя комплементарными (противоположными) логическими значениями. Эти выходы называются прямым и комплементарным (инверсным) выходами.
- **Конечный автомат** — функция (программная или аппаратная), которая может состоять из конечного множества состояний и переходить из одного состояния в другое.
- **Контрольная сумма** — итоговое значение процедуры проверки с помощью *циклического избыточного кода (CRC)*, записанное в *линейном сдвиговом регистре с обратной связью (LFSR)* (или его программном эквиваленте). Также называется сигнатурой в средствах функциональной проверки с помощью управляемого пробника.
- **Конфигурационные данные** — биты в конфигурационном файле, которые используются для непосредственного определения состояния программируемых логических элементов. См. также *Конфигурационные команды* и *Конфигурационный файл*.
- **Конфигурационные команды** — набор инструкций в конфигурационном файле, которые указывают устройству на то, какие действия ему необходимо выполнить над конфигурационными данными. См. также *Конфигурационные данные* и *Конфигурационный файл*.
- **Конфигурационный логический блок** — см. *КЛБ*.
- **Конфигурационный файл** — файл, содержащий информацию, которая должна быть загружена в ПЛИС с тем, чтобы запрограммировать его на выполнение специфичных функций. Для устройств на основе ячеек статического ОЗУ конфигурационный файл содержит совокупность конфигурационных данных и конфигурационных команд. В процессе загрузки конфигурационного файла в устройство передаваемая информация формируется в конфигурационный двоичный поток. См. также *Конфигурационные данные* и *Конфигурационные команды*.

- **Кремниевый кристалл** — хотя в настоящее время известно множество полупроводниковых материалов, наибольшее распространение получил кремний, и поэтому зачастую под *кремниевым кристаллом* понимают интегральную микросхему.
- **Кристалл** — бескорпусная интегральная схема (ИС). В этом случае несколько кристаллов также представляют собой кристалл.
- **Кэш-память** — быстродействующая память небольшого объема (обычно реализуется на ячейках статического ОЗУ), используемая для буферизации данных, циркулирующих между центральным процессором и медленным, дешёвым запоминающим устройством, таким как динамическое ОЗУ. Высокоскоростная кэш-память используется для хранения активных команд и данных¹⁾, связанных с программой, в то время как основная масса команд и данных находится в медленной памяти.
- **Линейный сдвиговый регистр с обратной связью** — см. *LFSR*.
- **Литерал** — переменная в булевых выражениях.
- **Логическая функция** — математическая функция, которая выполняет цифровые операции над цифровыми данными и возвращает цифровой результат.
- **Логическая ячейка** — основная конструктивная единица в современных ПЛИС компании Xilinx. В её состав входят 4-входная таблица соответствия, мультиплексор, регистр и вспомогательная логика. См. также *логический элемент*, *КЛБ*, *блок логических массивов (LAB)* и *секция*.
- **Логический синтез** — процесс, в котором с помощью программного обеспечения осуществляется преобразование высокоуровневого текстового представления устройства (описанного с помощью языка описания аппаратных средств HDL), выполненного в терминах *уровня регистровых передач (RTL — register transfer level)*, в эквивалентные им регистровые или булевы выражения. Средства синтеза автоматически выполняют минимизацию и оптимизацию, и затем выдают таблицу соединений логических вентилях. См. также *HDL-синтез* и *Физический синтез (Physically aware synthesis)*.
- **Логический элемент** — основная конструктивная единица в современных ПЛИС компании Altera. В её состав входят 4-входная таблица соответствия, мультиплексор, регистр и вспомогательная логика. См. также *логическая ячейка*, *КЛБ*, *блок логических массивов (LAB)* и *секция*.
- **Логический венти́ль** — физическая реализация простейшей логической функции.
- **Магнитное ОЗУ** — тип устройств памяти, широкое распространение которых ожидается примерно с 2005 года, которые потенциально сочетают в себе высокую скорость статического ОЗУ, большую ёмкость динамического ОЗУ и энергонезависимость flash-технологии, потребляя при этом минимум энергии.
- **Магнитный туннельный переход** — структура из двух ферромагнитных слоёв, разделённых тонким изоляционным слоем. Ячейки памяти магнитного ОЗУ представляют собой пересечение двух проводников (строк и столбцов) с расположенными между ними магнитными туннельными переходами.
- **Макроархитектурные определения** — любая разработка начинается с начальной концепции, которая описывается системными разработчиками и инженерами в виде высокоуровневых определений. Эти определения и называются макроархитектурными, и подразумевают под собой разбиение устройства на программные и аппаратные части, выбор необходимых микропроцессорных ядер, структуры шин и так далее. Затем эта спецификация передаётся инженерам-разработчикам аппаратной части, которые начинают свою часть работы с формирования микроархитектурных определений. См. также *Микроархитектурные определения*.

¹⁾ В этом контексте «активный» относится к тем данным и командам, которые в настоящее время используются программой или будут (по мнению операционной системы) использоваться в ближайшем будущем.

- **Максимальная длина** — характеристика *n*-битного *линейного сдвигового регистра с обратной связью (LFSR)*, который генерирует последовательность, состоящую из $(2^n - 1)$ значений, прежде чем вернётся к начальному значению.
- **Максимальное смещение** (maximal displacement) — характеристика *линейного сдвигового регистра с обратной связью (LFSR)*, в котором отводы выбраны таким образом, что изменение хотя бы одного бита во входном потоке данных приводит к максимально возможному изменению содержимого регистра.
- **Макстерм** — элементарная дизъюнктивная форма, логическое ИЛИ над всеми входными переменными в прямом или инверсном виде.
- **Маска** — см. *Фотошаблон*.
- **Масочно-программируемые** — устройства, такие как *постоянное запоминающее устройство (ПЗУ)*, программируются в процессе их изготовления с помощью индивидуально-разработанного набора фотошаблонов.
- **Мега** — приставка (обозначается символом «М»), которая предназначена для обозначения одного миллиона или 10^6 . Например, 3 МГц представляет собой 3×10^6 Гц.
- **Металлизационный слой (слой металлизации)** — слой из токопроводящего материала в микросхеме, который накладывается или вытравляется для формирования соединений между логическими вентилями. В одном устройстве может быть несколько слоёв металлизации, разделённых слоями диэлектрика.
- **Метод наращиваемых перемычек** — технология, используемая для создания программируемых интегральных микросхем, программируемые элементы которых основаны на токопроводящих связях, называемых наращиваемыми перемычками. При покупке изготовленных по этой технологии микросхем все перемычки находятся в разомкнутом состоянии. Отдельные перемычки можно «нарастить» при помощи импульса высокого тока и напряжения, подаваемого на входы микросхемы.
- **Метод плавких перемычек** — технология, используемая при изготовлении интегральных микросхем, в которой программируемые элементы представляют собой микроскопические пережигаемые перемычки. При покупке микросхемы, изготовленной по такой технологии, все перемычки находятся в нетронутым состоянии. Индивидуально каждая перемычка может быть удалена при помощи импульса высокого тока и напряжения, подаваемого на вход устройства.
- **Микро** — приставка (обозначается символами «мк» или «μ»), которая предназначена для обозначения одной миллионной части, то есть 10^{-6} . Например, 3 мкс представляет собой 3×10^{-6} с.
- **Микроархитектурные определения** — любая разработка начинается с формирования концепции, которая описывается системными разработчиками и инженерами в виде высокоуровневых определений. Эти определения называются макроархитектурными, и подразумевают под собой разбиение устройства на программные и аппаратные части, выбор необходимых микропроцессорных ядер, структуры шин и так далее. Затем эта спецификация передаётся инженерам-разработчикам аппаратной части, которые начинают свою часть работы с формирования микроархитектурных определений, в число которых входят детализация управляющих структур, разработка структуры шин и первичная оценка элементов тракта передачи данных. В качестве простого примера можно рассмотреть очередь FIFO, для которой на этом этапе определяются атрибуты — глубина и ширина, характеристики вида *блокирующая запись, неблокирующее чтение*, а также алгоритм действия при опустошении или полном заполнении очереди. Микроархитектурные определения, которые часто формируются в результате мозгового штурма на белой доске, могут определять, какие операции будут выполняться параллельно, а какие последовательно, какие части конструкции будут конвейеризированы, а какие нет, а также распределение общих ресурсов, если таковые будут использоваться.
- **Микроконтроллер** — микропроцессор, дополненный памятью программ и данных, интерфейсными схемами, генератором тактовых импульсов. Может также иметь таймеры, гибкую систему прерываний, АЦП и т. д.

- **Микропрограммные блоки интеллектуальной собственности (Микропрограммные IP)** — в контексте ПЛИС этот термин относится к библиотеке высокоуровневых функций. В отличие от программных блоков интеллектуальной собственности (программных IP), эти функции уже оптимально распределены, размещены и разведены по программируемым логическим блокам (также возможна комбинация с некоторыми аппаратными IP-блоками, например, умножителями). По требованию в устройство может быть встроено один или несколько таких предопределённых аппаратных IP-блоков. См. также *Аппаратные IP* и *Программные IP*.
- **Микропроцессор** — компьютер общего назначения, реализованный в одной микросхеме (или вместе с группой микросхем, называемой микропроцессорным набором или чипсетом).
- **Милли** — приставка (обозначается символом «м»), которая предназначена для обозначения одной тысячной части или 10^{-3} . Например, 3 мс представляет собой 3×10^{-3} с.
- **Минимизация** — процесс уменьшения сложности булевых выражений.
- **Минтерм** — элементарная конъюнктивная форма, логическая функция И над входными значениями, в котором каждая переменная встречается только один раз — либо с отрицанием, либо без него.
- **Младший байт** — байт в многобайтном слове, который представляет наименьшее число, обычно находится справа.
- **Младший бит** — двоичная цифра или бит в двоичном числе, которая представлена наименьшей значащим значением, обычно находится в крайне правой позиции.
- **Многокристальный модуль** — общее название группы внутренних соединений и технологии изготовления корпусов, относится к бескорпусным микросхемам, расположенным на общей подложке.
- **Монтажная плата** — общее название широкого класса средств внутренних соединений, который включает в себя жесткие, гибкие и комбинированные платы, которые по способу расположения проводников также делятся на однослойные, двухслойные, многослойные и дискретные.
- **Мультиплексор (цифровой)** — логическая функция, которая использует двоичное число, или адрес, для выбора одного из своих входов, и передачи на выход поступающей на этот вход информации.
- **Нано** — приставка (обозначается символом «н»), которая предназначена для обозначения одной миллиардной части или 10^{-9} . Например, 3 нс представляет собой 3×10^{-9} с.
- **Начальное значение (число)** — начальное значение, загружаемое в *линейный сдвиговый регистр с обратной связью (LFSR)* или генератор псевдослучайных чисел.
- **Нибл** — см. *Полубайт*.
- **Общий слой** — токопроводящий слой, находящийся в или на подложке, обеспечивающий заземление или общий провод для компонентов микросхемы. В микросхеме может быть несколько таких слоёв, разделённых изоляционными слоями.
- **Объединенный инженерный совет по электронным устройствам** — см. *JEDEC*.
- **Ограничения** — понятие относится к формальной верификации. В процессе верификации устройства (системы) рассматриваются все возможные комбинации входных воздействий, следовательно, часто возникает необходимость ограничить входные воздействия для корректного поведения устройства (системы).
- **Однократно программируемый** — программируемый электронный компонент, такой как ПЛУ или ПЛИС, который может быть сконфигурирован (запрограммирован) только один раз.
- **Однокристалльная система** — согласно распространённому практическому правилу, под однокристалльной понимается система, представляющая собой интегральную микросхему, состоящую из аппаратных и программных компонентов. В недалёком прошлом электронные системы состояли из ряда микросхем, каждая из которых вы-

полняла определённые функции (микропроцессор, связь, память и так далее). Однако во многих современных высокотехнологичных решениях все эти функции могут объединяться в одно устройство, такое как заказная микросхема или ПЛИС, которые также могут попадать под определение *однокристалльной системы*.

- **ОЗУ (оперативное запоминающее устройство)** — запоминающее устройство, в которое данные могут записываться и считываться. Как правило, такие устройства реализуются в виде интегральных микросхем.
- **Ом** — единица сопротивления. Для обозначения также часто используется греческая буква Ω , например, запись 1 М Ω представляет собой 1 миллион Ом.
- **Операционная система** — общее название набора основных программ, которые управляют компонентами компьютера и пользовательским интерфейсом.
- **Описание** — в контексте формальной верификации этот термин объединяет в себе утверждения, свойства, события и ограничения, которые существуют вместе с другими структурными элементами устройства.
- **Отвод** — выход регистра, используемый для генерирования следующего значения на входе *линейного сдвигового регистра с обратной связью (LFSR)*.
- **Паразитные эффекты** — эффекты, вызванные действием паразитных сопротивлений, ёмкостей и индуктивностей материала или топологии проводников или компонентов.
- **Переменная состояния** — один регистр из набора регистров, значения которых представляют текущее состояние конечного автомата.
- **Переходное отверстие** — полое или заполненное токопроводящее отверстие в токопроводящем материале, которое используется для связи между двумя или более токопроводящими слоями.
- **Пета** — приставка (обозначается символом «П»), которая обозначает один миллион миллиардов или 10^{15} . Например, 3 ПГц представляет собой 3×10^{15} Гц.
- **Печатная плата** — тип монтажной платы, проводники которой наложены или «напечатаны» на одну или обе стороны. Также могут содержать внутренние сигнальные слои проводников и слои питания и общего провода.
- **ПЗУ (постоянное запоминающее устройство)** — запоминающее устройство, из которого данные могут только считываться, но не могут в него записываться. Как правило, в настоящее время ПЗУ реализуются в виде микросхемы.
- **Пико** — приставка (обозначается символом «п»), которая предназначена для обозначения одной тысячной от миллиардной части или 10^{-12} . Например, 3 пс представляет собой 3×10^{-12} с.
- **ПЛУ (программируемое логическое устройство)** — интегральная микросхема, внутренняя архитектура которой predetermined производителем, но позволяет инженерам производить ее конфигурирование (программирование) на месте для выполнения различных функций. В данной книге под терминов ПЛУ подразумеваются простые и сложные ПЛУ. В отличие от ПЛИС эти устройства содержат относительно небольшое количество логических вентилей и могут реализовать относительно небольшие и простые функции.
- **Поверхностный эффект** — явление, возникающее при прохождении высокочастотных сигналов через проводник, при котором электроны распространяются только по поверхности этого проводника.
- **Подкласс средств синтеза** — языки описания аппаратных средств (HDL), такие как Verilog, который изначально разрабатывался совместно со средствами моделирования, а средства синтеза при этом находились в стороне. Причина этого заключалась в том, что системы логического моделирования работали с высокоуровневыми описаниями устройств, а ранние средства синтеза воспринимали только представления, которые находились не выше уровня регистровых передач (RTL). Поэтому инженеры были вынуждены работать с *подклассом средств синтеза* используемого ими языка. См. также *HDL* и *RTL*.

- **Полевой транзистор (FET)** — транзистор, управляющий сигнал которого создаёт электромагнитное поле, которое включает или выключает этот транзистор.
- **Полезная площадь кристалла** — обозначает величину доступной для использования площади кристалла.
- **Полностью заказная ИС** — специализированная заказная интегральная микросхема (ASIC). При создании полностью заказных микросхем инженеры полностью отвечали за разработку маски для каждого слоя микросхемы. Поставщики заказных специализированных микросхем предварительно не создавали никаких компонентов на кремниевом кристалле заводским способом и не поставляли библиотек предопределенных логических вентилях или функций.
- **Полубайт** — группа из четырёх двоичных цифр или бит.
- **Полупроводник** — особый тип веществ, которые в разных ситуациях обладают свойствами проводника или изолятора.
- **Последовательная логика** — цифровая функция, выходное значение которой зависит не только от текущего состояния на её входах, но и от входных значений в предыдущие моменты времени. Другими словами, результат зависит от «последовательности» входных значений. См. также *Комбинационная логика*.
- **ППЗУ (программируемое постоянное запоминающее устройство)** — программируемое логическое устройство, в котором массив логических элементов ИЛИ программируемый, а массив элементов И — нет. Обычно этот термин относится к устройствам памяти, содержимое которых может быть однократно электрически запрограммировано пользователем.
- **Преобразование сигнала** — усиление, фильтрация и другая обработка (обычно аналогового) сигнала.
- **Преобразования Де Моргана** — преобразование булевых выражений в альтернативную, зачастую более удобную форму.
- **Призрачное программное (аппаратное) обеспечение** — ироническое определение программного (аппаратного) продукта, находящегося в умах разработчиков, но так и не поставленного на рынок.
- **Примитивы** — простые логические функции, такие как буфер, НЕ, И, И-НЕ, ИЛИ, ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ и ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ. Также они могут называться *примитивными логическими вентилями*.
- **Припой** — сплав олова и свинца с относительно низкой температурой плавления, используется для соединения легкоплавких металлов. Обычно припой состоит из 60 процентов олова и 40 процентов свинца. Увеличение доли свинца приводит к умягчению припоя и понижению его температуры плавления, и наоборот, при уменьшении доли свинца плотность припоя и температура плавления увеличивается.
- **Проверка на эквивалентность** — см. *Формальная верификация*.
- **Проводник** — токопроводящее соединение между электронными компонентами. В интегральных микросхемах такие проводники часто называют слоем металлизации.
- **Программируемая пользователем вентиляльная матрица** — см. *FPGA*.
- **Программируемое пользователем устройство внутренних соединений** — см. *FPID*.
- **Программируемый пользователем кристалл внутренних соединений** — см. *FPIC*¹⁾.
- **Программное обеспечение** — программы или последовательность инструкций, которые предназначены для исполнения аппаратной частью устройства.
- **Программное ядро** — в цифровой электронике термин «программное ядро» обычно используется для обозначения относительно больших логических функций общего назначения, которые могут применяться при построении больших устройств. Например, если заказная микросхема (ASIC) содержит встроенный микропроцессор, то

¹⁾ FPIC является торговой маркой компании Aptix Corporation.

можно сказать, что в ASIC встроено «микропроцессорное ядро». В эту категорию также можно включить ядра микроконтроллеров, цифровых сигнальных процессоров, функции связи (такие как универсальные асинхронные порты UART) и так далее. Такие ядра могут разрабатываться внутренними силами, но, как правило, они приобретаются у сторонних разработчиков *блоков интеллектуальной собственности* (или *IP — intellectual property*). Программные ядра часто представляют собой RTL-описания, выполненные на языках VHDL/Verilog. В этом случае ядро синтезируется, затем проходит этап размещения и трассировки совместно с другими блоками, формирующими устройство. (В некоторых случаях ядро может быть представлено в форме таблицы соединений вентилях или в виде принципиальной схемы, но такие случаи встречаются чрезвычайно редко.) Одним из преимуществ программного ядра является то, что оно при необходимости может быть настроено конечным пользователем, например, из него можно удалить или модифицировать определённые функции. Между программными ядрами, реализованными для заказных микросхем и для ПЛИС, существуют некоторые отличия. В заказных микросхемах предполагается, что ядро представлено в виде RTL-описания, и его синтез, будет выполняться совместно с RTL-описаниями остальных частей устройства. Затем, результат размещения и трассировки используется для формирования фотошаблонов, с помощью которых создается микросхема. Другими словами физическая реализация ядра будет представлять собой аппаратные вентили и соединения между ними. В отличие от заказных микросхем, при создании программного ядра для ПЛИС будет сформирована таблица соединений вентилях, по которой затем создадут *конфигурационный файл*, предназначенный для программирования таблиц соответствия и логических блоков внутри устройства. Каждая микросхема может содержать несколько программных ядер, а также аппаратные ядра и другую пользовательскую логику. См. также *Аппаратное ядро*.

- **Программные средства интеллектуальной собственности (программные IP)** — в ПЛИС это термин обозначает библиотеку исходных кодов высокоуровневых функций, которые могут входить в состав пользовательского устройства. Эти функции обычно описываются с помощью *языков описания аппаратных средств (HDL)*, таких как Verilog или VHDL, терминами *уровня регистровых передач (RTL — register transfer level)*. Все функции, которые инженеры решат использовать в своих конструкциях, будут встроены в основной код устройства (который также описывается с помощью RTL) и впоследствии будут синтезированы в группу программируемых логических блоков (возможно вместе с некоторыми аппаратными средствами интеллектуальной собственности). См. также *Аппаратные IP* и *Микропрограммные IP*.
- **Произведение сумм** — конъюнкция дизъюнкций.
- **Простое ПЛУ** — изначально все ПЛУ содержали небольшое количество эквивалентных логических элементов и были чрезвычайно простыми. Вскоре на сцене появились более *сложные* устройства, поэтому их более простых родственников принято выделять в отдельную категорию и называть *простыми ПЛУ*.
- **Прямое кодирование** — представление каждого состояния конечного автомата с помощью индивидуальной переменной состояния; в каждый конкретный момент времени активной может быть только одна такая переменная состояния.
- **Псевдокомментарий (прагма)** — специальный комментарий, употребляемый в исходном коде языка C/C++ или HDL, который может быть интерпретирован трансляторами, компиляторами и другими средствами. Также псевдокомментарии используются различными средствами формальной верификации.
- **Псевдослучайный** — искусственная последовательность значений, которые внешне напоминают случайные числа, но всё же периодически повторяются.
- **Рассыпная логика** — малые интегральные схемы (ИС), содержащие несколько простых фиксированных логических функций, например, четыре 2-входовых элемента И.
- **Свойство/утверждение** — см. *Утверждение/свойство*.

- **Связующая логика** — относительно небольшое количество простой логики, которая используется для «связи» между собой больших логических блоков, функций или устройств.
- **Секция (slice)** — термин компании Xilinx, подразумевает под собой структуру, находящуюся между логической ячейкой и конфигурируемым логическим блоком (КЛБ). Почему «секция»? Да потому, что это самое подходящее название для такой структуры. В настоящее время секция включает в себя две логических ячейки. См. также *КЛБ, Логическая ячейка, Логический элемент*.
- **Сигнатура** — термин относится к значению контрольной суммы при проведении тестирования с помощью избыточного циклического кода и управляемого пробника.
- **Сигнатурный анализ** — метод проведения функционального тестирования с применением управляемого пробника, основанный на сигнатурах.
- **Синтез** — см. *Логический синтез* или *Физический синтез*.
- **Синхронный(ая)** — 1) сигнал, данные которого не известны или не активируются до тех пор, пока не придёт следующий синхроимпульс. 2) Система, работа которой синхронизируется поступающими на неё синхроимпульсами.
- **Системный логический венти́ль** — у поставщиков ПЛИС часто возникают проблемы, когда они пытаются установить соответствие между своими устройствами и заказными микросхемами (ASIC). Например, если у вас есть устройство, построенное на заказной микросхеме, которая содержит 500 000 эквивалентных логических вентилях, и вы желаете реализовать это устройство на ПЛИС, то как узнать, какую ПЛИС для этого можно использовать? Чтобы решить эту проблему, поставщики ПЛИС в начале 1990-х начали говорить о «системном логическом венти́ле». Кое-кто говорит, что это была благородная попытка использовать терминологию, понятную для инженеров, использующих заказные микросхемы, другие же утверждают, что это был всего лишь неудачный маркетинговый шаг.
- **Система автоматической подстройки по задержке** — некоторые блоки управления синхронизацией основаны на использовании *устройств фазовой автоподстройки*, другие используют системы *автоматической подстройки по задержке*. Последние системы по определению являются цифровыми. Их сторонники утверждают, что они отличаются более высокой точностью, стабильностью, меньшей мощностью потребления, более низким уровнем шумов.
- **Слово** — группа сигналов или логических функций, выполняющих одну общую задачу по передаче или хранению одних и тех же данных. Например, значение на компьютерной шине данных можно назвать *словом данных*.
- **Слово** — количество *ячеек памяти*, логически и физически объединённых в одно целое. Все ячейки в слове обычно считываются и записываются одновременно.
- **Сложное программируемое логическое устройство (CPLD — complex programmable logic device)** — устройство, состоящее из нескольких простых программируемых логических устройств (SPLD — simple programmable logic device), объединённых общей матрицей внутренних соединений.
- **Слой питания** — токопроводящий слой в печатной плате или на подложке, обеспечивающий питание компонентов. В микросхеме может быть несколько таких слоёв, которые разделяются изолирующими слоями.
- **Смешанный сигнал** — термин обычно относится к микросхемам, которые состоят из аналоговых и цифровых элементов, следовательно, работают как с аналоговыми, так и с цифровыми сигналами.
- **Событие** — в контексте формальной проверки события подобны утверждениям и свойствам, и в общем случае могут рассматриваться как подмножество утверждений и свойств. Однако, если утверждения и свойства обычно используются для выявления нежелательного поведения системы, то события могут использоваться для описания желательного поведения устройства.

- **Состояние** — см. *Состояние сигнала*.
- **Спад импульса** — процесс перехода сигнала с уровня логической 1 на уровень логического 0.
- **Специализированная интегральная микросхема** — см. *ASIC*.
- **СППЗУ (стираемое перепрограммируемое постоянное запоминающее устройство)** — интегральная микросхема памяти, содержимое которой может быть электрически запрограммировано инженером-разработчиком. Кроме того, это содержимое может быть стёрто с помощью внешнего ультрафиолетового излучения, попадающего на кристалл через кварцевое окно в корпусе микросхемы.
- **Старший байт** — байт в многобайтном слове, который представляет наибольшее по значимости число, обычно находится слева.
- **Старший бит** — двоичная цифра или бит в двоичном числе, которое представлено наибольшим значащим значением, обычно находится в крайне левой позиции числа.
- **Статическая формальная верификация** — формальная проверка, в ходе которой проверяется всё пространство состояний устройства без использования каких-либо средств моделирования. Недостатком такого метода является то, что он может использоваться только для небольших частей устройства, так как с ростом сложности конструкции объем пространства состояний увеличивается по экспоненциальному закону и очень быстро можно достичь точки его «разрыва». См. также *Формальная верификация* и *Динамическая формальная верификация*.
- **Статическое ОЗУ** — устройство памяти, в которых ядро каждой ячейки реализовано с помощью четырёх или шести транзисторов, сконфигурированных для работы в качестве триггера или защёлки. Термин «статическое» используется потому, что после записи в такую ячейку значения оно будет находиться там до тех пор, пока на его место не будут записаны другие данные или не будет отключено питание.
- **Стираемое перепрограммируемое постоянное запоминающее устройство** — см. *СППЗУ*.
- **Структурированная специализированная схема** — вид *заказных микросхем (ASIC)*, структура которых представляет собой массив предварительно изготовленных и расположенных по всей поверхности идентичных модулей. Эти модули могут состоять из смеси логики общего назначения (логических вентилях, мультиплексоров или таблиц соответствия), регистров и, возможно, небольшого ОЗУ. С увеличением уровня сложности модулей могут быть также предварительно реализованы основные слои металлизации. Для таких структурированных специализированных схем требуется только реализация двух-трёх заказных слоёв металлизации (в некоторых случаях достаточно только одного слоя металлизации). Такой подход существенно уменьшает время и стоимость изготовления микросхемы.
- **Сумма произведений** — дизъюнкция конъюнкций.
- **Схемы на стандартных элементах** — вид *заказных микросхем (ASIC)*, которые, в отличие от *вентильных матриц*, не используют концепцию *базисной ячейки* и не содержат каких-либо предварительно изготовленных компонентов. Производитель микросхем изготавливает заказной фотошаблон для каждого этапа производства, позволяя каждой логической функции реализовываться с минимально возможным количеством транзисторов.
- **Таблица истинности** — табличное представление принципа действия цифровой схемы, устанавливает соответствие между входными и выходными значениями.
- **Таблица соответствия (LUT — look-up table)** — существует две основные формы реализации программируемых логических блоков, используемых для построения средномодульных архитектур ПЛИС: на основе мультиплексоров и на основе таблиц соответствия. При использовании таблиц соответствия группа входных сигналов служит индексом (указателем) ячейки в таблице, в которой содержится результирующее значение.
- **Тера** — приставка (обозначается символом «Т»), которая обозначает один миллион миллионов или 10^{12} . Например, 3 ТГц представляет собой 3×10^{12} Гц.

- **Терм произведения** — набор литералов, подобных оператору И.
- **Транзистор** — трёхконтактное полупроводниковое устройство, которое в мире цифровой техники работает в качестве переключателя.
- **Трит** — число, используемое в троичной системе счисления. Может принимать три фиксированных значения: 0, 1 и 2.
- **Троичная логика** — экспериментальная технология, в которой логические элементы работают с тремя фиксированными уровнями напряжения для представления *троичных чисел*.
- **Троичная система счисления** — система счисления, в которой используются три числа.
- **Троичное число** — число в троичной системе счисления, часто называемое «трит», принимающее одно из значений — 0, 1 или 2.
- **ТТЛ (транзисторно-транзисторная логика)** — логические вентили, реализованные на биполярных транзисторах.
- **Тупиковое состояние** — см. *Тупиковая ситуация*.
- **Тупиковая ситуация** — труднодоступное или труднодостижимое функциональное состояние устройства.
- **Управляемый пробник** — форма функционального теста, в котором тестируется печатная плата для того, чтобы выявить неисправный компонент или проводник.
- **Уровень регистровых передач (register transfer level, RTL)** — для того, чтобы охарактеризовать функциональность электронной схемы, используется язык описания аппаратных средств (HDL). Если с помощью этого языка описывается работа цифрового устройства, то для этого могут использоваться различные уровни абстракции. Самым простым уровнем является таблица соединений логических элементов, в которой функциональность цифровой схемы описывается в виде набора простейших логических элементов (И, ИЛИ, И-НЕ, ИЛИ-НЕ и так далее) и соединений между ними. Более сложный (более высокий) уровень абстракции называется *уровнем регистровых передач (register transfer level — RTL)*. В этом случае схема описывается набором элементов хранения информации (регистров), булевых выражений, управляющей логики (например, выражений вида *если-то-иначе*) и сложных последовательностей событий (например: если синхроимпульс меняет своё состояние и переходит из 0 в 1, тогда в регистр *A* загружается число, представляющее собой сумму чисел, находящихся в регистрах *B* и *B*). Наиболее популярными языками, использующими описание устройств терминами RTL, являются VHDL и Verilog.
- **Утверждение/свойство** — термин *свойство* пришел из области верификации модели (Model checking), и обозначает характерное функциональное поведение устройства, которое вы хотите (формально) проверить (например: «после запроса мы ожидаем ответа в течение 10 тактов»). Термин *утверждение* пришел из области моделирования, и обозначает специфическое функциональное поведение устройства, которое вы хотите наблюдать в процессе моделирования (и сигнализирует об ошибке, если такое утверждение «срабатывает»). В наши дни, при использовании формальных методов и средств моделирования в унифицированных средах, термины *свойство* и *утверждение* могут взаимозаменять друг друга, то есть свойство может выступать в качестве утверждения и наоборот.
- **ФАПЧ (фазовая автоматическая подстройка частоты)** — некоторые системы управления синхронизацией основываются на *фазовой автоматической подстройке частоты (ФАПЧ)*. ФАПЧ используются с начала 1940-х годов в аналоговой технике, но в наше время также широко используются и их цифровые варианты построения.
- **Физический синтез** — для большинства людей этот вид синтеза подразумевает учёт информации о реальном расположении различных логических элементов в устройстве, использование этой информации для оценки точных значений задержки распространения сигнала, реализация полученных значений задержек при выполнении операции итогового расположения элементов и других оптимизаций. Интересно за-

метить, что физически-специализированный синтез начинается с первого прохода, используя относительно традиционный логический/HDL алгоритм синтеза. См. также *Логический синтез*.

- **Формальная верификация** — в недалёком прошлом термин формальная верификация (проверка) для большинства инженеров являлся синонимом проверки на эквивалентность. В контексте рассматриваемого материала проверка на эквивалентность подразумевает под собой средства, которые используют формальные (строго математические) методы сравнения двух различных представлений одного устройства — скажем RTL-описания и таблицы соединений вентилях — для определения идентичности их функциональности от входов до выходов. На практике проверка на эквивалентность может рассматриваться как подкласс формальной верификации и называться верификацией модели (model checking), которая используется при анализе конечных автоматов системы для тестирования некоторых свойств устройства, которые обычно называют *утверждениями*. См. также *Статическая формальная верификация* и *Динамическая формальная верификация*.
- **Фотошаблон** — лист материала, на который нанесено изображение прозрачное либо не прозрачное для ультрафиолетового излучения, используемый для формирования элементов интегральной микросхемы на поверхности кристалла.
- **Фронт импульса** — процесс перехода сигнала с уровня логического 0 на уровень логической 1.
- **Функциональное время ожидания (функциональная латентность)** — понятие, характеризующее то, что в любой текущий момент времени в устройстве или системе обычно задействовано (то есть делает что-либо полезное) только часть логических функций, остальные в данный момент времени не активны.
- **Функция с 3-мя состояниями** — функция, выход которой может принимать три состояния: 0, 1 и Z (высокий импеданс). Такая функция не выдаёт выходной сигнал, когда она находится в Z-состоянии, следовательно, такой режим можно рассматривать как её отключение от остальной части схемы.
- **Химическая механическая полировка** — процесс, используемый для сглаживания и выравнивания поверхности подложки при помощи полирования «наростов», которые образуются при создании слоёв металлизации (дорожек).
- **ЦАП (цифро-аналоговое преобразование)** — процесс преобразования цифрового значения в его аналоговый эквивалент.
- **Центральный процессор** — см. ЦП.
- **Цифровая обработка сигналов** — см. ЦОС (DSP).
- **Цифровая схема** — набор логических элементов, используемых для обработки и генерирования цифровых сигналов.
- **Цифровой** — величина, представленная в виде числа из ограниченного диапазона дискретных значений, называемого квантом. Точность цифрового значения зависит от количества квантов, используемых для его представления.
- **Цифровой сигнальный процессор** — см. ЦСП (DSP).
- **ЦОС (цифровая обработка сигналов — digital signal processing, DSP)** — область электроники, которая связана с представлением и обработкой сигналов в цифровой форме. Обработка включает в себя сжатие, распаковку, модуляцию, коррекцию ошибок, фильтрацию и другие манипуляции с аудио- (голос, музыка и т. д.) и видеоинформацией, изображениями и другими подобными данными для телекоммуникации/связи, локации и обработки изображений (в том числе и в медицине).
- **ЦП (центральный процессор)** — главный узел компьютера, выполняющий все основные функции.
- **ЦСП (цифровой сигнальный процессор)** — специальный микропроцессор, который сконструирован для выполнения специфичных задач по обработке цифровых данных

специального типа с более высокой скоростью и эффективностью, чем микропроцессоры общего назначения.

- **Чип** — популярное название *интегральной микросхемы (ИС)*.
- **Шина** — набор сигналов, выполняющих общие функции и передающих сходные данные. Обычно представляется с помощью векторной формы записи, например 8-битная шина может обозначаться как [7:0].
- **Шина адреса** — набор однонаправленных сигналов, используемых процессором (или подобным устройством) для указания области, к которой необходимо получить доступ.
- **Шина данных** — набор двунаправленных сигналов, используемый компьютером для передачи информации из памяти в центральный процессор и наоборот. В общем случае представляет собой набор сигналов, используемый для передачи данных между цифровыми функциями.
- **Шум** — всяческий мусор, который добавляется к электронному сигналу при его прохождении через схему. Шумы могут возникать вследствие действия ёмкостных или индуктивных связей, или из-за влияния внешних источников электромагнитного поля.
- **Эквивалентный вентиль** — в заказных микросхемах (ASIC) каждая логическая функция связана со значением эквивалентного вентиля, который необходим для сравнения функций и устройств. Однако определение эквивалентного вентиля зависит от того, кто об этом говорит.
- **Электрически стираемое перепрограммируемое постоянное запоминающее устройство** — см. *ЭСПЗУ*.
- **Эмиттерно-связанная логика** — см. *ЭСЛ*.
- **Энергонезависимый** — термин относится к устройствам памяти, и обозначает, что информация в них не теряется при отключении питания системы.
- **Энергонезависимый** — термин относится к устройствам хранения информации, информация в которых теряется при отключении напряжения питания, например, к динамическому или статическому ОЗУ.
- **ЭСЛ (эмиттерно-связанная логика)** — логические элементы, реализованные с помощью сконфигурированных особым образом биполярных транзисторов.
- **ЭСПЗУ (электрически стираемое перепрограммируемое постоянное запоминающее устройство)** — интегральная микросхема памяти, содержимое которой может быть электрически запрограммировано разработчиком. Кроме того, это содержимое может быть электрически стёрто, тем самым, позволяя произвести повторное программирование.
- **Язык описания аппаратных средств** — см. *HDL*.
- **Ячейка памяти** — единица памяти, используемая для хранения одного двоичного числа или бита данных.
- **Ячейка заказной микросхемы (ASIC Cell)** — логическая функция из *библиотеки схемных элементов*, определяемой производителем заказных микросхем (ASIC).

ПРЕДМЕТНЫЙ УКАЗАТЕЛЬ

0-In Design Automation *108, 173, 267*
1076 (IEEE VHDL стандарт) *147*
10-гигабайтный Ethernet *282*
1364 (IEEE Verilog стандарт) *146*
4000 серия ИС *37*
4004 микропроцессор *37*
5400 серия ИС *36*
64b/66b схема кодирования *284*
7400 серия ИС *36*
8b/10b схема кодирования *284*

A

ABEL *47, 138*
AccellChip Inc. *193*
Actionprobe *227*
Aldec Inc. *108, 181*
Altera Corp. *106, 110*
Altium Ltd. *108, 211, 277*
AMAZE *47*
AMBA *199*
Amplify *239*
Anadigm Inc. *106*
API *144*
Applicon *125*
ARM *199*
ARM9 *301*
ASIC *16, 18, 47*
ASIC структурированные *52*
ASMBL *331*
AssistedTechnology *47*
ASSP *16, 18*
Atmel Corp. *106*
Axis Systems *211*

B

Bell Laboratories *35*
BGA *219*
BIM *211*
BIRD75 *223*
BoardLink *221*

C

C54xx *301*
Calma *125*
Carbon Design Systems Inc. *271*
CDR *290*
Celoxica Ltd. *108*
CheckerWare *267*
Chipscope *228*
Chrysalis Symbolic Design Inc. *263*
CLAM *228*
Co-Design Automation *148, 149*
Complex programmable logic devices *37*
ComputerVision *125*
Confluence *109, 312*
CoreConnect *199*
Covered *321*
CoWare *183, 202*
CPLD *37*
CRC *371*
CUPL *47*
CVS *318*

D

Daisy *126*
Data I/O *47*
DCI *223*
DCM *82*
Debussy *252, 262*
DEF *159*
Design Compiler FPGA *238*
Design VERIFYer *263*
DesignPlayer *271*
diff *319*
Digital signal processors *21*
Dillon Engineering Inc. *109*
Dinotrace *321*
DSP *21*
DTA *258*

E

е (язык верификации аппаратного обеспечения) 261
 EDA 21, 126
 EDGE 300
 EDIF 233
 EETimes 15
 Elanix 15, 108, 183, 193
 electronic design automation 21
 Elixent Ltd 107, 299
 EMACS 142, 318

F

Fairchild Semiconductor 36, 49
 Fibre Channel 282
 FIFO 77, 168, 169, 268, 285
 Fintronic USA Inc. 108
 First Silicon Solutions Inc. 108, 228
 FLASH 32, 66
 FLI 180, 209
 FPAA 106, 330
 FPGA 18
 FPGA Xchange 221
 FPIC 294
 FPID 294
 FPNA 107, 295, 298, 330
 FPNA ACM 323
 FPNA picoArray 299
 FR4 342
 FSDB 244
 Future Design Automation 173

G

GAL 43
 Gartner DataQuest 15
 Gateway Design Automation 144
 gcc 318
 Gentoo 110
 Gentoo Linux 320
 GHDL 244
 GigaTest Labs 15
 GNU 318
 Green Hills Software Inc. 109
 grep 319
 GTKWave 321
 gvim 318

H

Handel-C 180, 197
 Harris Semiconductor 29
 HDL 46, 89, 136

HDL/логический синтез 253
 HDL-методы проектирования 138, 140
 Hier Design Inc. 109
 HOL 324
 HVL 261

I

IBIS 222
 Icarus 110
 Icarus Verilog 320, 322
 IDE 202
 IEEE 1076 147
 IEEE 1364 146
 Incisive 211
 InifiniBand 282
 Intel 30, 37
 International Research Corporation 37
 InTime Software 159
 IP 232, 234
 IPflex Inc. 107, 299

J

JEDEC 46
 JEIDA 148
 Jiffy 329
 JTAG 103
 JTAG-порт 63, 103, 207

L

Lattice Semiconductor Corp. 106
 Launchbird Design Systems 15, 312
 LEF 159
 Leopard Logic Inc. 106
 Linux 317
 LISP 318
 LRM 145
 LUT 54

M

MAC 78, 276
 Magma Design Automation 156
 magnetic RAM 34
 make 318
 MandrakeSoft 320
 MATLAB 183, 189
 MCM 79
 Mega-PAL 44
 Mentor Graphics Corp. 15, 108, 126, 194
 MetaPRL 324
 MicroBlaze 202

Micromatrix 49
 Micromosaic 49
 MIPS 200
 Model checking 149, 263
 ModelSim 147, 181, 246
 Monolithic Memories, Inc. 43
 Motorola 107, 299
 MPEG 300
 MRAM 34

N

Nexar 211
 Nios 202
 Novas Software Inc. 109, 244, 252, 262
 NuSMV 316, 323
 n-МОП 36

O

OCI 227
 Open Verilog International 146
 OpenCores 325
 OpenSSH 320
 OpenSSL 319
 OpenVera Assertions, см. OVA
 OSCI 167
 OVA 266, 269
 OVI 146
 OVL 269, 325

P

PACT XPP Technologies AG 107, 299
 PAL 43
 PAL Ассемблер 46
 PALASM 46, 138
 ParaCore Architect 309
 PCI 89
 PCI Express 282
 PERL 319
 PGA 218
 picoArray 299
 PicoBlaze 202
 picoChip 15
 picoChip Design Ltd. 107, 299
 Pilkington Microelectronics, см. PMEL
 PLI 144, 180, 209
 PLI Verilog 144
 PMEL 329
 PowerPC 200
 Precision C 176
 PROMELA 316, 323
 PSL 269

Python 309, 319, 322
 p-МОП 36

Q

Q90C1xx 202
 QuickLogic Corp. 106
 QuickSilver Technology Inc. 107, 299

R

RapidIO 282
 RC 20
 RCA 36
 reconfigurable computing 20
 Red Hat 320
 RLC-модель 351
 RTL 89, 137, 244
 RXD 224

S

SDF 144, 159, 244
 Seamless 211
 SignalTap 228
 Signetics 47
 Silicon Explorer 227
 SilverC 307
 Silverware 308
 Simple programmable logic devices 37
 Simpod Inc. 209
 Simucad Inc. 109
 Simulink 183, 190, 308
 Sirius 300
 SkyRail 282
 SONET Scrambling 284
 SPARK C-to-VHDL 176
 Specman Elite 262
 SPEEDCompiler 271
 SPICE 222
 SPIN 316, 323
 SPLD 37
 SSTA 258
 Sugar 266, 269
 Superlog 148
 SVP 154
 SWIFT 209
 Synopsys Inc. 15, 108, 238, 269
 Synplicity Inc. 15, 109, 237
 System Generator 195
 System HILO 244
 SystemC 149, 166, 167
 SystemVerilog 149
 SystemVerilog, оператор assert 269

T

TDMA 300
 Tenison Technology Ltd. 271
 Texas Instruments 36
 The MathWorks Inc. 109, 183, 189, 308
 TPS 324
 TransEDA PLC 109, 260
 TXD 224

U

UART 224
 UDL/I 148

V

Valid 126
 VCD 244, 262, 321
 Vera 268
 Verdi 252, 262
 Verilator 321
 Verilog 144
 Verilog 2001 146
 Verilog 2005 146
 Verilog 95 146
 Verilog-XL 144
 Verisity Design Inc. 15, 109, 261
 VHDL 146
 VHDL International 149
 VHSIC 146
 VI 142, 318
 Virtual Machine Works 228
 VirtualWire 228
 VITAL 147
 VTOC 271, 321

W

W-CDMA 300
 Wind River Systems Inc. 109

X

X (неизвестное логическое значение) 245
 XBlue, архитектура 332
 Xilinx Inc. 15, 35, 54, 73, 106, 110, 199, 328, 331
 XM Radio 300
 XoC 211

Z

Z (высокоимпедансное состояние) 245

A

ABM 303
 Автокоррекция сдвига фаз 84
 Автомобиль 112
 Адаптивная вычислительная машина, см. ABM
 Узел алгоритмических элементов 304
 Алгоритмы высказываемой выполнимости 323
 Алгоритмы систолические 68
 Анализ искажений сигналов 222
 Анализ на уровне реализации 272
 Анализ на уровне спецификации 272
 Анализ производительности 272
 Аппаратное обеспечение по запросу 307
 Аппаратные IP 88
 Аппаратные блоки интеллектуальной собственности 88
 Аппаратные микропроцессорные ядра 79
 Арифметическая машина 49
 Архитектура XBlue 332
 Асинхронные элементы 115
 Ауроборос 361
 АЦП 182, 330

Б

База данных быстрых сигналов 244
 Базовое кодовое покрытие 271
 Базовые элементы моделирования 243
 Байт 100
 Бардин, Джон 35
 Беркнер, Джон 46
 Бесканальные ячейки 50
 Библиотека элементов 50, 126
 Биполярный транзистор 35
 Бит 28, 245
 Блок IP 51, 56, 88, 234, 277
 Блок встроенного ОЗУ 77
 Блок интеллектуальной собственности, см. Блок IP
 Блок конфигурируемый логический 75
 Блок логических массивов 75
 Богатин, Эрик 15
 БПФ 68, 144, 189, 310
 Брэттин, Вальтер 35
 Булева алгебра 138
 Буль, Джордж 104, 138
 Буферы с тремя состояниями 153
 Быстродействующие схемы 221
 Быстрый и грубый синтез 155

В

Варьете-холл 112
 Ввод/вывод 85, 86

Ввод/вывод общего назначения 86
 Вентильная матрица 49
 Вентильная матрица бесканальная 50
 Вентильная матрица канальная 50
 Верификация 183
 Верификация блоков IP 259
 Верификация временных параметров 120
 Верификация модели 263
 Верификация повторная 264
 Верификация формальная динамическая 264, 268
 Верификация формальная статическая 264, 268
 Виртуальная память 296
 Виртуальное аппаратное обеспечение 295, 296
 Виртуальный логический анализатор 227
 Виртуальный макет 154, 217
 Виртуальный прототип 154, 155, 217
 Виртуальный прототип в ASIC 154
 Виртуальный прототип на основе RTL 158
 Виртуальный прототип на уровне вентилей 155, 156
 Виртуальный прототип на уровне кластеров 157
 Виртуальный прототип ПЛИС 160
 Внесение предсказаний 288
 Внутрикристалльные инструментальные средства 227
 Внутрисистемно программируемые 18
 Воздушный цирк 319
 Возраст ПЛИС 92
 Восстановление синхронизации 289
 Временное соответствие 158
 Временной анализ, динамический 258
 Время переключения 86
 Встроенные блоки ОЗУ 77
 Встроенные микропроцессорные ядра 79
 Встроенные микропроцессорные ядра аппаратные 79
 Встроенные микропроцессорные ядра программные 81
 Встроенные средства самотестирования 373
 Встроенные сумматоры 79
 Встроенные умножители 78
 Встроенные умножители с накоплением 79
 Встроенный самоконтроль 119
 Выбор ПЛИС 273
 Выбросы перекрёстные 338
 Вывод-вывод 348
 Выравнивание тактовых сигналов 116
 Высокоимпедансное состояние 245

Г

Гвидо ван Россум 319
 Гемоглобин 336
 Генератор кода общей диагностики 304
 Генератор ядер 234

Генератор ядер IP 234
 Генераторы псевдослучайных последовательностей 374
 Германий 35
 Герц, Генрих 83
 Гибрид ПЛИС-заказная интегральная схема 58
 Гигабитные приёмопередатчики 87
 Гигабитные приёмопередатчики, глазковая диаграмма 291
 Гигабитные приёмопередатчики, дифференциальные пары 279
 Гигабитные приёмопередатчики, компенсация 289
 Гигабитные приёмопередатчики, конфигурируемые параметры 286
 Гигабитные приёмопередатчики, определение разделителей 287
 Гигабитные приёмопередатчики, скорость передачи 286
 Гигабитные приёмопередатчики, соединение нескольких блоков 286
 Гигабитные приёмопередатчики, стандарт 10-гигабайтный Ethernet 282
 Гигабитные приёмопередатчики, стандарт Fibre Channel 282
 Гигабитные приёмопередатчики, стандарт InfiniBand 282
 Гигабитные приёмопередатчики, стандарт PCI Express 282
 Гигабитные приёмопередатчики, стандарт RapidIO 282
 Гигабитные приёмопередатчики, стандарт SkyRail 282
 Глазковая диаграмма 291
 Глазковая маска 291
 Глубокий субмикрон 61, 339
 Гоэринга, Ричард 15
 Графический ввод 142
 Графическое описание схем 126

Д

Даммер, Дж. 36, 290
 Данные конфигурационные 93
 Двоичная логика 245
 Двухпортовый блок ОЗУ 76
 Дейкстра, Эдсгер 322
 Декларативный 266
 Дерево синхронизации 81
 Дешифровка 370
 Диаграммы двоичного выбора 323
 Диллон, Том 278
 Динамически реконфигурируемая логика 293

Динамически реконфигурируемые внутренние соединения 294

Динамическое ОЗУ 33, 37

Дискретизатор 191

Диспетчер синхронизации 82

Диэлектрик 334

Домен синхронизации 115

Доступ к предыдущему значению 369

Дочерние тактовые сигналы 82

Ё

Ёмкость 335

З

Зависимость от крутизны 349

Зависимость от состояния 349

Заказная интегральная схема 16, 18, 47

Законы Мэрфи 148

Запоминающее устройство 28

Защелки 117

Защита интеллектуальной собственности 62

Зоны синхронизации 115

И

Иерархические принципиальные схемы 133

Индукция 335

Инжекция горячих электронов 31

Инициализация LFSR 366

Интегральные микросхемы 36

Интегрированная среда разработки 202

Интегрированные среды разработки 235

Интерфейс незнакомых слов 180, 209

Интерфейс соединённых устройств 286

Интерфейс языка программирования 144, 180, 209

Испытательный стенд 261

Истерика 38

Итальянский Ренессанс 46

К

Квантование 191

Кварцевое окно 32

Килби, Джек 36

Кластер 157

КМОП 36

Кодек 329

Кодирование конечных автоматов 119

Кодовое покрытие 271

Кодовый генератор Уолша 304

Колода карт 121

Командная разработка 215

Команды конфигурационные 93

Комбинаторная логика 39

Комбинационные петли 115

Коммутационные шумы 343

Компоновка 125, 128

Конвейер 112

Константы 152

Контрольная сумма 371

Конфигурационный порт 96

Конфигурируемые модули логического анализатора 228

Конфигурируемые стандарты ввода/вывода 86

Конфигурируемый логический блок 75

Концепция логического уровня 114

Концепция пространственной и временной сегментации 306

Коррекция временных параметров 254

Кремний 35

Крупномодульные ПЛИС 58

Купроглобин 336

Кэш-логика 295, 296

Кэш-память 296

Л

Ласковые слова 93

Латентность 114

Линейный сдвиговый регистр с обратной связью 304, 361

Литерал 41

Логика комбинационная 39

Логическая ячейка 73

Логические уровни 114

Логический анализатор (виртуальный) 227

Логический синтез 141, 253

Логический элемент 74

Логическое моделирование 121

Локальная оптимизация 159

Льюис, Кэрл 15

М

Магнитное ОЗУ 34, 65, 332

Магнитный туннельный переход 34

Мазор, Стэн 37

Макроархитектурные определения 164

Максимально длинная последовательность 362

Масочно-программируемые устройства 28

Масштаб времени 246

Матрица внутренних соединений 304

Матрица штырьковых выводов 218

Машина Тьюринга 185

Mega-PAL 44

Межсимвольная интерференция 284

Мелкомодульные микросхемы 58
 Мелкомодульные ПЛИС 67, 298
 Металлизационные слои 28
 Металлизация 120
 слои металлизации 120
 Метод периферийного сканирования 103
 Метод плавких перемычек 25
 Метод ступенек 194
 Методы проектирования архитектурные 141
 Методы проектирования средств ЦОС 182
 Методы проектирования, SystemC 167
 Методы проектирования, расширенный C/C++ 173
 Методы проектирования, чистый C/C++ 176
 Микроархитектурные определения 164
 Микроконтроллер 21
 Микроматрица 49
 Микромозаика 49
 Микропрограммные блоки интеллектуальной собственности 89
 Микропроцессор 37
 Микропроцессорные устройства 198
 Микросхемах транзисторно-транзисторной логики 248
 МИШ 211
 М-код 189
 Многокристальный модуль 79, 200
 Множественный доступ с разделением по времени 300
 Модель задержки транспортная 249
 Модель задержки трёхдиапазонная 249
 Модель инерционной задержки 248
 Модель интерфейсной шины, см. МИШ
 Модель с сосредоточенной нагрузкой 349
 Модель транспортной задержки 249
 Модуль 52
 Монти Пайтон 319
 МОП-транзистор 36
 Морби, Фил 144
 МП 37
 Мультиплексирование 226
 Мультиплексирование по времени 117
 Мультиязычное проектирование 180
 Мультиязычные средства проектирования 245
 Мультиязычные среды проектирования 196
 М-файл 189
 Мэрфи, Эдвард 148

Н

Наглядность устройства 206, 225
 Надамуни, Дай 15
 Нано 61
 Напряжение ядра 87

Немодифицированный (чистый) C/C++ 166
 Нескоммутированная логическая матрица 49
 Нобелевская премия мира 92
 Нойс, Роберт 36

О

Оболочка (узла) 304
 Общий сброс 117
 Огнезащитный состав 342
 Ограничения 265
 Однократно программируемые устройства 18
 Однокристалльные системы 20
 Однопортовый блок ОЗУ 76
 Одноуровневые принципиальные схемы 132
 OEM 107
 ОЗУ 28
 ОЗУ динамическое 33
 ОЗУ статическое 33
 Оперативное запоминающее устройство 28
 операционная система 168
 Орел (и реактивный двигатель) 93
 ОС РВ 204, 212
 Отводы 361
 Отрицательная обратная связь 239
 Отрицательный резерв времени 255

П

Параллельная загрузка, ПЛИС в режиме ведомый 102
 Параллельная загрузка, ПЛИС в режиме ведущий 100
 Патент EP0437491 (B1) 238
 Первая микросхема динамического ОЗУ 37
 Первая микросхема ПЛИС 35
 Первая микросхема статического ОЗУ 37
 Первые ПЛУ 37
 Первый микропроцессор 37
 Первый транзистор 35
 Передача данных 224
 Перекрёстные выбросы 338
 Перемычка наращиваемая 26
 Переход от ПЛИС к заказной микросхеме 237
 Переход от ПЛИС к ПЛИС 236
 Петли комбинационные 115
 Печатная плата 198, 218
 ПЗУ 28
 Пилкингтон, Аластэр 329
 Плавающий затвор 30
 ПЛИС 18, 53
 ПЛИС и заказные микросхемы, сравнение стилей проектирования 111
 ПЛИС на основе Flash-памяти 65

ПЛИС на основе мультиплексоров 69
 ПЛИС на основе наращиваемых перемычек 63
 ПЛИС на основе СППЗУ 65
 ПЛИС на основе таблиц соответствия 69
 ПЛИС на основе ЭСППЗУ 65
 ПЛИС, архитектура 60
 ПЛИС, возраст 92
 ПЛИС, защита интеллектуальной собственности 62
 ПЛИС, перспективы развития 328
 ПЛИС, секция 74
 ПЛИС, скоростные показатели 278
 ПЛИС, схемотехническое проектирование 134
 ПЛИС-платформа 56
 ПЛМ 41
 ПЛУ 18, 37
 ПЛУ простые 37
 ПЛУ сложные 37
 ПЛУ стираемые 32
 ПМЛ 43
 Поверхностный эффект 257
 Повторная верификация 264
 Повторный синтез 254
 Подкласс средств синтеза 145
 Покрытие ветвей исходного кода 271
 Покрытие выражений 271
 Покрытие состояний 271
 Покрытие условий 271
 Покрытие утверждений и свойств 271
 Покрытие функциональное 271
 Полевой транзистор 36
 Полевой транзистор n -типа 36
 Полевой транзистор p -типа 36
 Полирование химико-механическое 257
 Положительный резерв времени 255
 Полоса 79
 Полубайт 100
 Порт JTAG 103
 Порт конфигурационный 98
 Последовательная загрузка, ПЛИС в режиме ведомый 102
 Последовательная загрузка, ПЛИС в режиме ведущий 99
 Последовательные идентичные цифры 284
 Постоянное запоминающее устройство 28
 Поток конфигурационный двоичный 93
 Пошаговое проектирование 216
 Поэтапные размещение и разводка 162
 ППЗУ 29
 Прагма 173, 266
 Прием данных 224
 Принципиальная схема 120
 Проверка временных параметров 120
 Проверка на эквивалентность 263

Проверка функциональная 120
 Проверяемое устройство 259
 Программатор 46, 63
 Программируемая коммутационная матрица 44
 Программируемые логические матрицы, см. ПЛМ
 Программное обеспечение 44
 Программные IP 89
 Программные блоки интеллектуальной собственности 89
 Программные микропроцессорные ядра 81
 Программные СИС 89
 Проектирование блочное 215
 Проектирование на нескольких языках 148
 Проектирование на языке C/C++ 164
 Производство 41
 Простейшие системы моделирования 122
 Простые ПЛУ 18, 37
 Процедурный 266
 Процесс программирования устройства 26
 Процессоры встроенные ARM 200, 277
 Процессоры встроенные MIPS 200, 277
 Процессоры встроенные PowerPC 200, 202
 Псевдокомментарии 173

Р

Рабочие функции 160
 Радиация 64
 Разделение ресурсов 117
 Размещение и разводка 130
 Размещение и разводка, поэтапные 162
 Разработка системного уровня 203
 Разрешение тактовых сигналов 116
 Разрыв пространства состояний 268
 Рай в шалаше 19
 Распределение произведений 42
 Распределение ресурсов 152, 185
 Распределенное ОЗУ 72, 76
 Распределённая RC-модель 350
 Рассыпная логика 18
 Реализация многие к одному 361
 Реализация один ко многим 365
 Регенерация 33
 Редактор многоугольников 125
 Режим конфигурационный 98
 Режим повышенной секретности 303
 Резерв задержки сигнала 156, 255
 Ренессанс 46
 Репликация 254

С

C/C++ методы конструирования 166
 C/C++ модели микропроцессоров 208

C/C++ расширенный 166
 C/C++ чистый (немодифицированный) 166
 САПР 49
 САПР электронных устройств 21
 Сверхглубокий субмикрон 61, 339
 Сверхжесткая структура 63
 Свойства 265
 Свопинг 296
 Связующая логика 20
 Секция 74
 Семантика 145
 Сигнал записи 367
 Сигнал чтения 367
 Сигнатура 373
 Сигнатурный анализ 373
 Символ (передачи данных) 283
 Символ-разделитель 287
 Синтаксис 145
 Синтез быстрый и грубый 155
 Синтез логический 141, 253
 Синтез повторный 254
 Синтез расширения 156
 Синтез физический 142, 253
 СИС жесткие 89
 СИС с открытым исходным кодом 325
 Система автоматизированного проектирования электронных устройств 21
 Система моделирования System HILO 244
 Система моделирования Verilog-XL 144
 Система тройного резервирования 64
 Системный вентиль 90
 Системы моделирования цикловые 251
 Системы с перестраиваемой архитектурой 20
 Системы событийного моделирования 241
 Систолические алгоритмы 68
 Скоростные показатели 278
 Сложные ПЛУ 18, 37, 44
 Слои металлизации 28
 Смит, Гэри 15
 Событийное колесо 242
 Событийное моделирование 241
 События (формальная верификация) 265
 Совмещение 371
 Согласование ввода/вывода 86, 223
 Сопоставление 128
 Соппротивление 334
 Состояние временного соответствия 141
 Специализированные языки 189
 Специальные цепи отладки 227
 Специальные языки формальной верификации 266
 Специальные языки, OVA 266, 269
 Специальные языки, PSL 266, 269
 Специальные языки, Sugar 266, 269

СППЗУ 30
 Справочное руководство по языку 145
 Спрул, Боб 156
 Среда верификации e 261
 Среда верификации OpenVera 269
 Среда верификации Vera 268
 Средневековые 46
 Среднемодульные ПЛИС 58, 298
 Средства аппаратной интеллектуальной собственности 88
 Средства проектирования с открытым исходным кодом 317
 Средства тестирования 196
 Статистический статический временной анализ 257
 Статистический статический временной анализатор 258
 Статический временной анализ 131, 246, 256
 Статическое ОЗУ 33
 Столбцы 28
 Стробирование тактовых сигналов 116
 Строки 28
 Структура 60
 Структурированные ASIC 52
 Структурное представление 137
 Сумма произведений 41
 Сумматоры встроенные 77
 Схема кодирования 64b/66b 284
 Схема кодирования 8b/10b 284
 Схема кодирования SONET Scrambling 284
 Схема прямого кодирования 119, 267
 Схема ускоренного переноса 76
 схемы на стандартных элементах 51
 Сюзерланд, Иван 156

Т

Таблица соединений вентилях 121
 Таблица соответствия 54, 69, 94
 Таблица соответствия на 3, 4, 5 и 6 входов 72
 Таки, Джон 28
 Теневые регистры 370
 Тестовый стенд 122
 Технологический процесс 61
 Технология HDL-синтеза 253
 Технология проверки условий 173
 Торвальдс, Линус 317
 Точечный транзистор 35
 Точка-точка 348
 Транзакция 260
 Транзистор 35
 Транзистор биполярный 35
 Транзисторно-транзисторная логика, см. ТТЛ
 Трит 245

Троичная логика 245

ТТЛ 36

Тьюринг, Алан 185

У

Узел обработки битов 304

Уильямс, Стивен 320

Ультрафиолетовое излучение 31

Умножение с накоплением 78

Умножители встроенные 77

Управляемый пробник 372

Уровень абстракции логических вентилях 137

Уровень регистровых передач, см. УРП

Уровень транзисторных ключей 137

УРП 137

Устранение флуктуаций 83

Устройство на логических вентилях 121

Утверждения 148, 265

Утилиты системной разработки 235

Ф

Фазовая автоподстройка частоты, см. ФАПЧ

Фазовый сдвиг 81, 84

Файл битовый 93

Файл конфигурационный 93

Файл логических определений 159

Файл физических определений 159

ФАПЧ 85, 116

Фарада 335

Физический синтез 141, 142, 254

Физический уровень 282

Флуктуация 83, 289, 291

ФМШ 260

Формальная верификация 262, 322

Формальной верификации
автоматизированная формулировка логических
выводов 322

Формат задержки 246

Формат стандартных задержек 132, 144

Фортран 47

Фотошаблон 28

Фрейм 97

Функциональная модель шины 260

Функциональная проверка 120

Функциональное покрытие 271

Функциональное представление 137

Функциональный тест 372

Фэггин, Федерико 37

Х

Хайатт, Гилберт 37

Харрис, Дэвид 156

Хейман, Фридрих 36

Холзман, Джерард 323

Хорни, Джин 36

Хофстайн, Стивен 36

Хофф, Марсиан 37

Ц

ЦАП 182, 330

Целостность сигнала 334

Центральный процессор 198

Цепочка сканирующая 104

Циклическая избыточная проверка 371

Цикловое моделирование 251

Цифровая автоподстройка по задержке 85

Цифровое управления импедансом 223

Цифровой сигнальный процессор, см. ЦСП

Цифровые интегральные микросхемы 18

Цифровые сигнальные процессоры 21

ЦОС 20, 182

ЦСП 21, 183

Ч

Частотный синтез 83

Человек года 360

Чечётка 112

Числа с плавающей запятой 190

Числа с фиксированной запятой 191

Чистая LC-модель 350

Чистая RC-модель 349

Ш

Шекспир 73

Шеннон, Клод 138

Шина 87

Шинные макроячейки 216

Широкополосный множественный доступ с
кодированием разделением каналов 300

Шифрование 370

Шифрование поточное 63

Шокли, Вильям 35

Шумы общего провода 343

Э

Эквивалентный вентиль 90

Эквивалентный конденсатор 349

Электростатическая индукционная машина 53

Элемент задержки 115

Элемент мозаики 52

Эмиттерно-связанная логика 36

Эмулятор машинных команд 209

Энергозависимые устройства 28

Энергонезависимые устройства 28

ЭСЛ 36

ЭСПЛУ 32

ЭСППЗУ 32

Эффект горячих электронов 339

Эффект линии передачи 344

Эффект Миллера 341

Эффект Миллера наоборот 343

Эффект Эдисона 151

Эффекты задержки глубокого субмикрона 345

Ю

Юрский период 345

Я

Ядро 51, 195

Ядро аппаратное 110, 200

Ядро программное 81, 201

Ядро программное MicroBlaze 202

Ядро программное Nios 202

Ядро программное PicoBlaze 202

Ядро программное Q90C1xx 202

Язык верификации аппаратного обеспечения 261

Язык описания аппаратных средств 136

Японская ассоциация развития электронной промышленности, см. JEIDA

Ячейка базисная 49

Ячейка конфигурационная 94

Ячейка логическая 73